

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-029530
(43)Date of publication of application : 04.02.1994

(51)Int.Cl. H01L 29/784

(21)Application number : 04-183281
(22)Date of filing : 10.07.1992

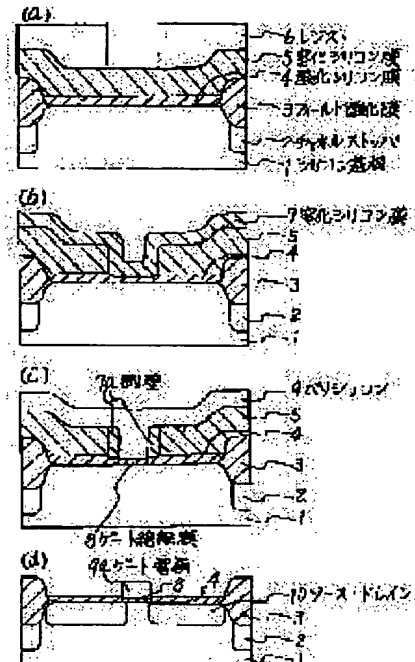
(71)Applicant : NEC CORP
(72)Inventor : KAWAGUCHI KIYO
TAKEUCHI KIYOSHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To reduce the gate length to a machining limit dimension or less by the lithography technology.

CONSTITUTION: After a channel stopper 2 is formed on a silicon substrate 1, a field oxide film 3 is formed. Then, a silicon film oxide 4 and a silicon nitride film 5 are deposited successively. Then, after a groove is formed by etching the silicon nitride film 5 with a resist 6 as a mask, the resist 6 is released. Then, after a silicon nitride film 7 is deposited, etchback is performed to form a side wall 7a. Then, after the silicon oxide film 4 at the groove bottom part is etched, a gate insulation film 8 is formed. Then, after a thick polysilicon 9 is deposited and etchback and polishing are made, a gate electrode 9a consisting of the polysilicon 9 is formed. Then, after the silicon nitride film 5 and a side wall 7a are etched, a source/drain 10 is formed by ion implantation.



LEGAL STATUS

[Date of request for examination] 27.12.1996
[Date of sending the examiner's decision of rejection] 22.12.1998
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-29530

(43)公開日 平成6年(1994)2月4日

(51)Int.Cl.⁵

H 0 1 L 29/784

識別記号

庁内整理番号

F I

技術表示箇所

7377-4M

H 0 1 L 29/ 78

3 0 1 V

審査請求 未請求 請求項の数2(全 4 頁)

(21)出願番号

特願平4-183281

(22)出願日

平成4年(1992)7月10日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 川口 紀代

東京都港区芝五丁目7番1号日本電気株式
会社内

(72)発明者 竹内 潔

東京都港区芝五丁目7番1号日本電気株式
会社内

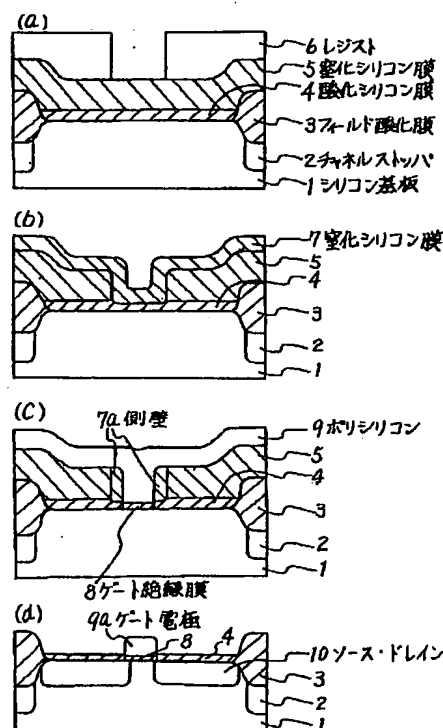
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 リソグラフィ技術による加工限界寸法以下にゲート長を縮小する。

【構成】 シリコン基板1にチャネルストッパ2を形成したのち、フィールド酸化膜3を形成する。つぎに酸化シリコン膜4および窒化シリコン膜5を順次堆積する。つぎにレジスト6をマスクとして窒化シリコン膜5をエッチングして溝を形成したのち、レジスト6を剥離する。つぎに窒化シリコン膜7を堆積したのち、エッチバックして側壁7aを形成する。つぎに溝底部の酸化シリコン膜4をエッチングしたのち、ゲート絶縁膜8を形成する。つぎに厚いポリシリコン9を堆積したのちエッチバックまたは研磨してから、ポリシリコン9からなるゲート電極9aを形成する。つぎに窒化シリコン膜5および側壁7aをエッチングしたのち、イオン注入によりソース・ドレイン10を形成する。



【特許請求の範囲】

【請求項1】 半導体基板の一主面上に第1の絶縁膜を堆積したのち、前記第1の絶縁膜の一部をエッチングして溝を形成する工程と、全面に第2の絶縁膜を堆積したのちエッチバックして前記溝に前記第2の絶縁膜からなる側壁を形成する工程と、前記溝内の前記半導体基板表面にゲート絶縁膜を形成する工程と、全面に導電膜を堆積したのちエッチバックして前記溝内に前記導電膜からなるゲート電極を形成する工程と、前記第1の絶縁膜および前記側壁を選択エッチングする工程とを含む半導体装置の製造方法。

【請求項2】 半導体基板の一主面上に第1の絶縁膜を堆積したのち、前記第1の絶縁膜の一部をエッチングして溝を形成する工程と、全面に第2の絶縁膜を堆積したのちエッチバックして前記溝に前記第2の絶縁膜からなる側壁を形成する工程と、前記第1の絶縁膜および前記側壁をマスクとして前記半導体基板表面をエッチングする工程と、前記溝内の前記半導体基板表面にゲート絶縁膜を形成する工程と、全面に導電膜を堆積したのちエッチバックして前記溝内に前記導電膜からなるゲート電極を形成する工程と、前記第1の絶縁膜および前記側壁を選択エッチングする工程とを含む半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明はMOSFET、MOS集積回路およびBi-CMOS集積回路に関するものである。

【0002】

【従来の技術】 MOSFETは半導体メモリ、マイクロプロセッサをはじめとするLSI（半導体集積回路）の主要素子であり、高速化および高集積化のため素子寸法の微細化が進められている。フォトリソグラフィの微細化によりLSIの高速化、高密度化、低価格化が実現されている。

【0003】 従来の一般的なMOSFETについて、図3（a）および（b）を参照して工程順に説明する。

【0004】 はじめに図3（a）に示すように、シリコン基板1表面にチャネルストッパ2を形成したのち、選択酸化して素子間分離用のフィールド酸化膜3を形成する。つぎに熱酸化してゲート酸化膜8を形成する。つぎにゲート電極となるポリシリコン9を堆積したのち、レジスト6をパターニングする。

【0005】 つぎに図3（b）に示すように、レジスト6をマスクとしてポリシリコン9をドライエッチングしたのち、レジスト6を剥離してゲート電極9aを形成する。つぎにゲート電極9aをマスクとしてイオン注入することによりソース・ドレイン10を形成してMOSFETの主要部が完成する。

【0006】 さらに平坦性を保ちながら短チャネル効果

を抑制した埋込ゲート型MOSFETについて、図4（a）～（c）を参照して工程順に説明する。

【0007】 はじめに図4（a）に示すように、シリコン基板1表面にチャネルストッパ2および素子間分離用のフィールド酸化膜3を形成する。つぎにゲート電極予定領域にレジスト6をパターニングする。

【0008】 つぎに図4（b）に示すように、レジスト6をマスクとしてシリコン基板1表面をドライエッチングして溝を形成したのちレジスト6を剥離する。つぎに熱酸化によりゲート絶縁膜8を形成したのち、ゲート電極となる厚いポリシリコン9を堆積する。

【0009】 つぎに図4（c）に示すように、化学的研磨によりポリシリコン9を除去する。つぎに全面にイオン注入してソース・ドレイン10を形成して埋込ゲート型MOSFETの主要部が完成する。

【0010】

【発明が解決しようとする課題】 従来のMOSFETのゲート長は、リソグラフィ技術による最小加工寸法で制限されている。さらに微細化が進むにつれてリソグラフィ技術の向上が難かしくなっている。

【0011】 本発明の目的は、リソグラフィ技術の制約を越えた短いゲート長のMOSFETを形成する方法を提供することにある。

【0012】

【課題を解決するための手段】 本発明の半導体装置の製造方法は、半導体基板の一主面上に第1の絶縁膜を堆積したのち、前記第1の絶縁膜の一部をエッチングして溝を形成する工程と、全面に第2の絶縁膜を堆積したのちエッチバックして前記溝に前記第2の絶縁膜からなる側壁を形成する工程と、前記溝内の前記半導体基板表面にゲート絶縁膜を形成する工程と、全面に導電膜を堆積したのちエッチバックして前記溝内に前記導電膜からなるゲート電極を形成する工程と、前記第1の絶縁膜および前記側壁を選択エッチングする工程とを含むものである。

【0013】

【作用】 半導体基板表面に第1の絶縁膜を堆積したのちエッチングして溝を形成する。つぎに全面に第2の絶縁膜を堆積したのちエッチバックして第2の絶縁膜からなる側壁を形成する。この側壁を用いて当初の溝幅よりも小さいゲート長を得ることができる。

【0014】

【実施例】 本発明の第1の実施例について、図1（a）～（d）を参照して説明する。

【0015】 はじめに図1（a）に示すように、シリコン基板1にチャネルストッパ2を形成したのち、選択酸化により素子間分離用のフィールド酸化膜3を形成する。つぎに酸化シリコン膜4および窒化シリコン膜5を順次堆積したのち、ゲート電極予定領域以外を覆うようにレジスト6を形成する。この酸化シリコン膜4は窒化

シリコン膜5によるストレスを緩和するためのものである。

【0016】つぎに図1(b)に示すように、レジスト6をマスクとして窒化シリコン膜7をドライエッチングして溝を形成したのち、レジスト6を剥離する。つぎにステップカバレッジの優れた常圧CVD法により窒化シリコン膜7を堆積する。

【0017】つぎに図1(c)に示すように、異方性ドライエッチングにより窒化シリコン膜7をエッチバックして、窒化シリコン膜7からなる側壁7aを形成する。つぎに溝の底に露出した酸化シリコン膜4をエッチングする。つぎに熱酸化によりゲート絶縁膜8を形成したのち、ゲート電極となる厚いポリシリコン9を堆積する。

【0018】つぎに図1(d)に示すように、ポリシリコン9をエッチバックまたは研磨により除去して、ポリシリコン9からなるゲート電極9aを形成する。つぎに窒化シリコン膜5および側壁7aを除去したのち、ゲート電極9aをマスクとしてイオン注入してソース・ドレイン10を形成してゲート長がサブミクロンのMOSFETの主要部が完成する。

【0019】本実施例では窒化シリコン膜7の厚さを変えることによって、ゲート長を制御することができる。

【0020】またポリシリコン9の代りに、アルミニウム合金またはタングステンシリサイドなどの導電膜を用いることもできる。

【0021】つぎに本発明の第2の実施例について、図2(a)～(d)を参照して工程順に説明する。

【0022】はじめに図2(a)に示すように、側壁7aを形成したのち溝の底に露出した酸化シリコン膜4をエッチングするところまでは第1の実施例と同様である。

【0023】つぎに図2(b)に示すように、窒化シリコン膜5、酸化シリコン膜4および側壁7aをマスクとして、シリコン基板1表面をドライエッチングして溝を掘り下げる。つぎに熱酸化によりゲート絶縁膜8を形成したのち、ゲート電極となる厚いポリシリコン9を堆積する。

【0024】つぎに図2(c)に示すように、ポリシリコン9をエッチバックまたは研磨により除去して、ポリシリコン9からなるゲート電極9aを形成する。

【0025】ポリシリコン9を酸化シリコン膜4の表面と同じ高さになるまでエッチバックまたは研磨すれば、さらに平坦性の優れたMOSFETを実現することがで

きる。

【0026】つぎに図2(d)に示すように、窒化シリコン膜5および側壁7aを選択エッチングする。つぎにゲート電極9aをマスクとしてイオン注入して、ソース・ドレイン10を形成して、埋込ゲート型MOSFETの主要部が完成する。

【0027】このあと図示していないが絶縁膜を堆積したのちエッチバックして、ゲート電極9aの突出部に側壁を形成してから再度イオン注入することにより、LDD構造のMOSFETを形成することができる。

【0028】本実施例では厚いポリシリコンを堆積したのちエッチバックまたは研磨により、ポリシリコンからなるゲート電極を形成したが、その代りに溝内にポリシリコンを選択成長してゲート電極を形成することもできる。

【0029】

【発明の効果】厚い第1の絶縁膜を堆積したのちエッチングにより溝を形成してから、薄い第2の絶縁膜を堆積してからエッチバックして溝内に側壁を形成する。その結果、フォトリソグラフィ技術の加工限界を凌ぐ短いゲート長を実現した。

【図面の簡単な説明】

【図1】本発明の第1の実施例を工程順に示す断面図である。

【図2】本発明の第2の実施例を工程順に示す断面図である。

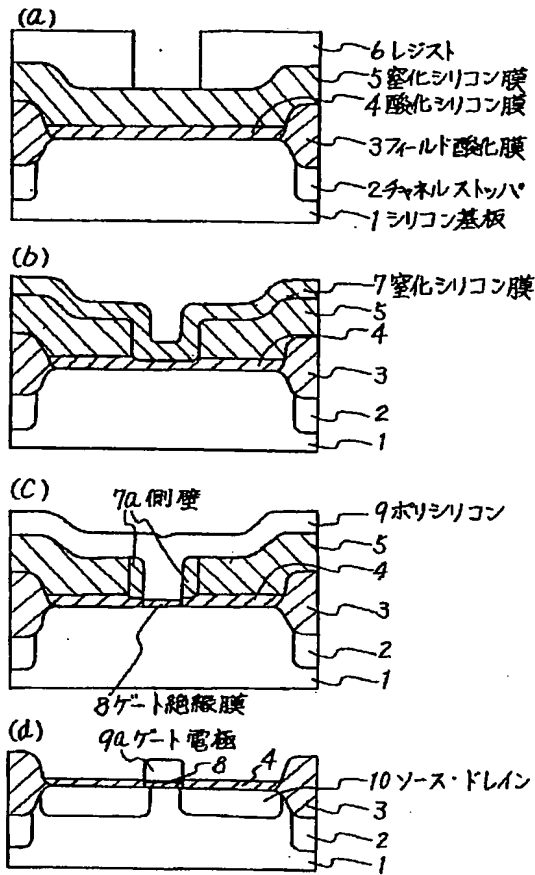
【図3】従来の一般的なMOSFETを工程順に示す断面図である。

【図4】従来の埋込ゲート型MOSFETを工程順に示す断面図である。

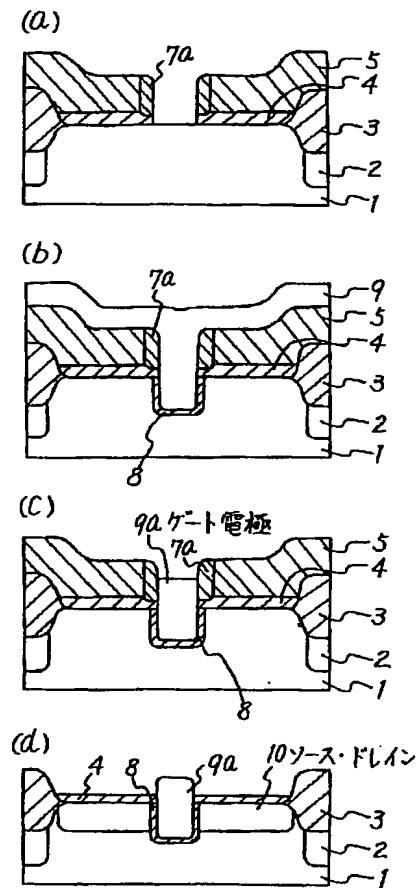
【符号の説明】

- 1 シリコン基板
- 2 チャネルストッパ
- 3 フィールド酸化膜
- 4 酸化シリコン膜
- 5 窒化シリコン膜
- 6 レジスト
- 7 窒化シリコン膜
- 7a 側壁
- 8 ゲート絶縁膜
- 9 ポリシリコン
- 9a ゲート電極
- 10 ソース・ドレイン

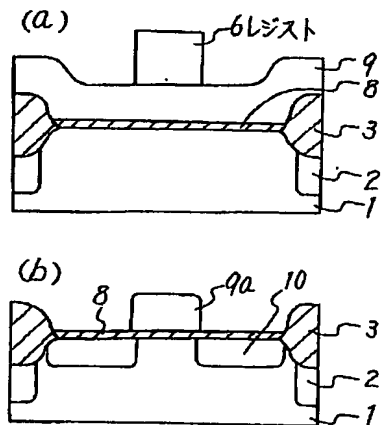
【図1】



【図2】



【図3】



【図4】

